

10/713,483  
Feb 18, 2004

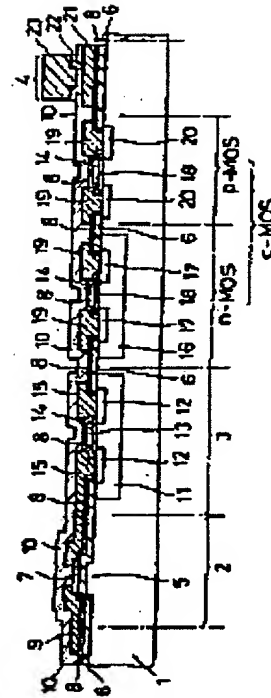
## THERMAL HEAD AND MANUFACTURE THEREOF

Patent number: JP2134256  
Publication date: 1990-05-23  
Inventor: WAKABAYASHI TAKESHI; others: 01  
Applicant: CASIO COMPUT CO LTD  
Classification:  
- International: B41J2/345; B41J2/34  
- european:  
Application number: JP19880287549 19881116  
Priority number(s):

### Abstract of JP2134256

**PURPOSE:** To perform high density printing by making a fine pitch by doping a single crystal semiconductor substrate with impurities to form a membrane transistor for driving each membrane resistor element.

**CONSTITUTION:** Membrane transistors 3 for driving membrane heating elements 2... composed of polycrystalline silicon are constituted by doping an N-type silicon substrate 1 having the membrane heating elements 2... arranged and formed thereto with a P-type impurity of a B-ion to form a P-type region 11 and doping said P-type region 11 with an N-type impurity of a P-ion to form an N-type region 12 and forming gate electrodes 14 thereon through wiring patterns 15 and gate insulating films 13. Since the respective channels of the membrane transistors 3... can be formed within a single crystal silicon substrate 1, the mobility of electricity of the membrane transistors 3... is extremely well. Therefore, the width and length of a gate can be reduced and a fine pitch can be achieved.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-134256

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月23日

B 41 J 2/345  
2/34

7810-2C  
7810-2C

B 41 J 3/20

1 1 3 K  
1 1 2

審査請求 未請求 請求項の数 2 (全11頁)

⑭ 発明の名称 サーマルヘッドおよびその製造方法

⑯ 特 願 昭63-287549

⑰ 出 願 昭63(1988)11月16日

⑱ 発 明 者 若 林 猛 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑲ 発 明 者 越 智 庸 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑳ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

㉑ 代 理 人 弁理士 町田 俊正

明 細 書

1. 発明の名称

サーマルヘッドおよびその製造方法

2. 特許請求の範囲

(1) 単結晶半導体基板上に多結晶シリコンよりなる多数の薄膜抵抗素子を配列形成するとともに、前記単結晶半導体基板上に不純物をドーピングして前記各薄膜抵抗素子を駆動する薄膜トランジスタを形成したことを特徴とするサーマルヘッド。

(2) 半導体基板上に絶縁層を形成する工程と、

前記絶縁層の活性領域を除去してゲート絶縁層を形成する工程と、

前記絶縁層およびゲート絶縁層上に多結晶シリコンを生成し、エッチングにより薄膜抵抗素子とゲート電極とを形成する工程と、

少なくとも前記薄膜抵抗素子に不純物をドーピングし、該薄膜抵抗素子のイオン濃度を高めて抵抗値を減少する工程と、

前記半導体基板上に不純物をドーピングする工程と、

低抵抗金属を被着して所定の配線パターンを形成する工程と、

絶縁性を有する保護膜を全面に被着する工程と、

を具備してなるサーマルヘッドの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は感熱記録を行なうサーマルヘッドおよびその製造方法に関する。

〔従来技術〕

発熱素子の選択的発熱により感熱記録を行なう従来のサーマルヘッドにおいては、発熱素子だけを有し、駆動回路部とは別体になっている。そのため、印字ドットがファインピッチになると発熱素子と駆動回路部との接続が困難となる。そこで、サーマルヘッドの配線を発熱素子側から扇形

に広げて対応しているが、それでも生産性が悪く、装置が大型化するという問題がある。

このようなことから、最近では、発熱素子と駆動回路部とを1枚の基板に設けることが検討されている。この構造は基板上に絶縁層を形成し、この絶縁層上に発熱体と薄膜トランジスタを形成するものである。この構造の薄膜トランジスタは、ドライバ素子となるMOSトランジスタであり、絶縁層上に多結晶シリコンを形成し、この多結晶シリコンに不純物をドーブした構成となっている。

#### 【発明が解決しようとする課題】

しかし、このように多結晶シリコンに不純物をドーブしてなる薄膜トランジスタは、電気の移動度が小さいので、少しでも電気の移動度を大きくするためにはゲートの幅および長さをできる限り大きくしなければならないという制約がある。そのため、高密度印字には適さない。また、多結晶シリコンの電気の移動度を改善するために、多

また、この発明のサーマルヘッドの製造方法は、半導体基板上に絶縁層およびゲート絶縁層を形成し、この絶縁層およびゲート絶縁層上に多結晶シリコンを生成してエッチングにより薄膜抵抗素子とゲート電極とを形成し、しかる後少なくとも前記薄膜抵抗素子に不純物をドーブしてその薄膜抵抗素子のイオン濃度を高めて抵抗値を減少させ、かつ半導体基板に不純物をドーブし、この後、低抵抗金属を被着して所定の配線パターンを形成し、その全面に絶縁性を有する保護膜を被着する方法である。

#### 【作用】

この発明によれば、多結晶シリコンよりなる多数の薄膜抵抗素子が配列形成される単結晶半導体基板に不純物をドーブして前記各薄膜抵抗素子を駆動する薄膜トランジスタを形成したので、薄膜トランジスタの電気の移動度が良く、ゲートの幅および長さをできる限り小さくでき、ファインピッチが可能で、高密度印字を行なうことができ

結晶シリコンを一旦アモルファス化し、しかる後に再び多結晶シリコンに戻すという実験も報告されているが、この方法は工程数が非常に多く生産性が極めて悪い。しかも、この技術によっても電気の移動度の大きさは、いまだ充分であるとは言えず、各ゲートをかなり大きくしなければならぬ。そのため、せいぜい解像度8ドット/mm程度が限界であり、高級印字品質が要求されるものではまだまだ実用レベルに至っていない。

この発明の目的は、電気の移動度が良く、ファインピッチ化が可能で、高密度印字に適し、かつ生産性にも優れたサーマルヘッドおよびその製造方法を提供することにある。

#### 【課題を解決するための手段】

この発明のサーマルヘッドは、多結晶シリコンよりなる多数の薄膜抵抗素子が配列形成される単結晶半導体基板に不純物をドーブして前記各薄膜抵抗素子を駆動する薄膜トランジスタを形成したものである。

る。しかも、このようなサーマルヘッドは、半導体基板上に絶縁層およびゲート絶縁層を形成し、この絶縁層およびゲート絶縁層上に多結晶シリコンを生成してエッチングにより薄膜抵抗素子とゲート電極とを形成し、しかる後少なくとも前記薄膜抵抗素子に不純物をドーブしてその薄膜抵抗素子のイオン濃度を高めて抵抗値を減少させ、かつ半導体基板に不純物をドーブし、この後、低抵抗金属を被着することにより所定の配線パターンを形成するので、ゲートの幅および長さを小さくしてファインピッチ化を図っても、精度良く製作できるとともに、工程数が煩雑にならず、生産性が極めて良い。

#### 【実施例】

以下、第1図～第3図を参照して、この発明の一実施例を説明する。

第1図はこの発明のサーマルヘッドの構成を示す。図中1は単結晶のn型シリコン基板(ウェハ)である。このシリコン基板1には、薄膜発熱

素子2、薄膜トランジスタ3、C-MOS、およびバンプ部4が一括形成されている。薄膜トランジスタ3はn-MOS-FETであり、C-MOSはシフトレジスタ回路、ラッチ回路、ゲート回路等を構成するものである。以下、各素子の構成を順に説明する。

薄膜発熱素子2は発熱する部分であり、シリコン基板1の左端近傍に形成されている。すなわち、シリコン基板1の上面上には発熱形成部5が隆起して形成されている。この隆起した発熱形成部5は $\text{SiO}_2$ の絶縁膜6で覆われ、この絶縁膜6の表面に多結晶シリコンに不純物をドーブしてなる発熱抵抗層7が形成されている。第2図(A)および(B)に示す如く、発熱形成部5は、シリコン基板1の幅方向(第1図垂直方向)の全長に亘り、凸状に隆起して形成されている。また、発熱抵抗層7は上記した発熱形成部5の長手方向に沿って、16ドット/mmのピッチで等間隔に配列形成されている。また、この発熱抵抗層7は不純物として所定量のリン(P)イオンがドーブ

よい。なお、この保護膜10は発熱形成部5と対応する部分とその周囲全域の保護膜10よりも高く突出して形成されている。この構造は各発熱抵抗層7に対応する領域の保護膜10の表面を感熱紙や感熱インクシート等に接触させるのに極めて効果的である。

薄膜トランジスタ4を構成するn-MOSは電界効果(FET)型のものであり、シリコン基板1における薄膜発熱素子2から右側へ大きく離れた部分に形成されている。すなわち、その部分のシリコン基板1の上面側内部にはボロン(B)イオンがドーブされたp型領域11が形成されており、このp型領域11の領域内にはPイオンがドーブされた2つのn型領域12、12が形成されている。この2つのn型領域12、12はそれぞれソース、ドレインの電極をなすものである。このようにp型領域11内にn型領域12、12が形成されたシリコン基板1の上面上には、2つのn型領域12、12を含む中央部分を除いて、薄膜発熱素子2と同じ絶縁膜6が形成されており、

されることにより、所定のシート抵抗(数十 $\Omega/\square$ )を有する。すなわち、この発熱抵抗層7の全抵抗値はPイオンの打ち込み濃度およびその面積によって決定されるため、Pイオンの打ち込み量および非エッチングの量によって調節され、最終的には数十~数百 $\Omega$ 程度に調整されている。また、発熱抵抗層7の周囲の絶縁膜6上にはCVD(Chemical Vapor Deposition)法によりリンケードガラス(PSG)よりなる絶縁性の高い絶縁保護膜8が形成され、この絶縁保護膜8上には配線パターン9、15が発熱抵抗層7の両端部分に導通して形成されている。この配線パターン9、15はAl、Al-Si、Mo、W等の低抵抗金属よりなり、左側の配線パターン9はアースラインをなし、右側の配線パターン15は後述する電極の配線をなす。そして、この発熱抵抗層7および各配線パターン9、15の表面には保護膜10が形成されている。この保護膜10は耐酸化性および耐摩耗性を有するもので、 $\text{SiO}_2$ とSiNの2層構造のものであっても、SiONの単一層のものであっても

2つのn型領域12、12の間に位置する箇所には、 $\text{SiO}_2$ よりなるゲート絶縁膜13を介して薄膜発熱素子2の発熱抵抗層7と同じ多結晶シリコンよりなるゲート電極14が形成されているとともに、2つのn型領域12、12と対応する箇所には、ソース、ドレインの配線パターン15、15が形成されている。この場合、中間のゲート電極14は薄膜発熱素子2と同様Pイオンをドーブすることにより低抵抗に形成されており、その全表面は配線パターン15、15と短絡しないように、薄膜発熱素子2と同じ絶縁保護膜8で覆われている。また、ソース、ドレインの各配線パターン15、15はAl、Al-Si、Mo、W等の低抵抗金属からなり、それぞれ2つのn型領域12、12に接続されており、一方の配線パターン15は薄膜発熱素子2の発熱抵抗層7の右端部に導通して接続されている。そして、この配線パターン15、15およびゲート電極14上の絶縁保護膜8を覆って薄膜発熱素子2と同じ保護膜10が形成されている。この保護膜10は薄膜発熱素子2の保

保護膜10よりも低く形成されている。

C-MOSはシフトレジスタ回路、ラッチ回路、およびゲート回路等を構成するFET型のものであり、 $n$ -MOSと $p$ -MOSとからなり、上述した薄膜トランジスタ3の右側に接近して $n$ -MOS、 $p$ -MOSの順に形成されている。この場合、 $n$ -MOSは上述した薄膜トランジスタ3と全く同じ構成となっている。すなわち、シリコン基板1の上面側内部には $B$ イオンがドーパされた $p$ 型領域16が形成され、この $p$ 型領域16の領域内には $P$ イオンがドーパされた2つの $n$ 型領域17、17が形成されている。この部分のシリコン基板1の上面には、2つの $n$ 型領域17、17を含む中央部分を除いて、上述した薄膜トランジスタ3と同じ $SiO_2$ の絶縁膜6が形成されており、2つの $n$ 型領域17、17の間に位置する箇所には、 $SiO_2$ よりなるゲート絶縁膜18を介して薄膜トランジスタ3と同じ多結晶シリコンよりなるゲート電極14が形成されているとともに、2つの $n$ 型領域17、17と対応する箇所に

20、20と対応する箇所には、ソース、ドレインの配線パターン19、19が形成されている。この場合にも、ゲート電極14の全表面は配線パターン19、19と短絡しないように絶縁保護膜8で覆われている。そして、この配線パターン19、19およびゲート電極14上の絶縁保護膜8を覆って保護膜10が形成されている。

パンプ部4はC-MOSに各種の信号を取り入れる電極であり、シリコン基板1の右端に複数(例えば、両信号、クロック信号、ストロブ信号、イネーブル信号等の4つ)設けられている。すなわち、シリコン基板1上に $SiO_2$ の絶縁膜6および絶縁保護膜8を介して形成された配線パターン21の上面に所定箇所がエッチングされた保護膜10が形成され、このエッチングされた部分内に $Ti-W$ 合金および $Au$ 等の金属層22が蒸着やスパッタリング等により形成されて配線パターン21に接続され、この金属層22上に $Au$ メッキ層23が施されている。

次に、第3図(A)～(J)を参照して、上述

は、ソース、ドレインの配線パターン19、19が形成されている。この場合にも、ゲート電極14は薄膜発熱素子2と同様 $P$ イオンをドーパすることにより低抵抗に形成されており、その全表面は配線パターン19、19と短絡しないように、薄膜発熱素子2と同じ絶縁保護膜8で覆われている。そして、この配線パターン19、19およびゲート電極14上の絶縁保護膜8を覆って薄膜発熱素子2と同じ保護膜10が形成されている。

また、 $p$ -MOSはシリコン基板1の上面側内部に2つの $p$ 型領域20、20を形成した以外は上述した $n$ -MOSと全く同じ構成となっている。すなわち、2つの $p$ 型領域20、20が形成された部分のシリコン基板1の上面には2つの $p$ 型領域20、20を含む中央部分を除いて、 $SiO_2$ の絶縁膜6が形成されており、2つの $p$ 型領域20、20の間に位置する箇所には、 $SiO_2$ よりなるゲート絶縁膜18を介して多結晶シリコンよりなるゲート電極14が形成され、2つの $p$ 型領域

したようなサーマルヘッドを製造する場合について説明する。

まず、第3図(A)に示すように、シリコン基板(ウエハ)1を用意し、このシリコン基板1の一面をエッチングし、点線で示す部分を除去して薄膜発熱素子2の形成領域を隆起させて凸形状の発熱形成部5を形成する。この場合、エッチングする厚みは数 $\mu m$ ～数十 $\mu m$ である。また、エッチングはガスによるプラズマエッチング、あるいはフッ酸を主成分とする薬液を用いて行なう。

この後、シリコン基板1を1000℃程度に加熱して酸化処理(熱酸化処理)を行ない、シリコン基板1の表面に $SiO_2$ 膜24を形成する。そして、フォトリソグラフィ法により $SiO_2$ 膜24上にフォトリソグロフ膜をパターン形成する。すなわち、 $SiO_2$ 膜24上にフォトリソグロフ膜を塗布形成し、このフォトリソグロフ膜にマスクを介して露光し、この露光されたフォトリソグロフ膜を現像処理して不要な部分を除去する。これにより、フォトリソグロフ膜がパターン形成される。このようにパター

ン形成されたフォトリソレジスト膜をマスクとして  $\text{SiO}_2$  膜 24 をエッチングし、第3図(B)に示すような不要な部分、つまり薄膜トランジスタ3およびC-MOSの各p型領域11、16と対応する部分の  $\text{SiO}_2$  膜 24 を除去する。そして、 $\text{SiO}_2$  膜 24 が除去された部分のシリコン基板1内にBイオンを打ち込んでドーピングさせ、シリコン基板1内にp型領域11、16を形成する。

この後、 $\text{SiO}_2$  膜 24 を一旦除去し、再び、シリコン基板1を熱酸化処理してその全表面に  $\text{SiO}_2$  膜を形成する。そして、この  $\text{SiO}_2$  膜の表面にフォトリソグラフィ法によりフォトリソレジスト膜をパターン形成し、このフォトリソレジスト膜をマスクとして  $\text{SiO}_2$  膜をエッチングし、第3図(C)に示すように、薄膜トランジスタ3およびC-MOSの各p型領域11、16およびp-MOSの形成領域と対応する部分の  $\text{SiO}_2$  膜を除去する。これにより、発熱形成部5を含むシリコン基板1上の所定箇所には  $\text{SiO}_2$  よりなる絶縁膜6が形成されている。そして、 $\text{SiO}_2$  膜が除去された部分に乾式またはHClの

酸化によりゲート絶縁膜13、18を形成する。

そして、モノシラン( $\text{SiH}_4$ )ガスをを用いてCVD法により、その全面に多結晶シリコン層25を生成し、次に第3図(C)に示すように、多結晶シリコン層25全体にPイオンを打ち込んで、発熱形成部5と対応する部分の多結晶シリコン層25のPイオン濃度を高め、抵抗値を所定の値に減少させる。この場合におけるPイオン濃度は、後工程(第3図(E)の工程)でn型領域12、17を形成する際のPイオンの打ち込み量を考慮して、その分の増加量を見込んでおく。すなわち、Pイオンの打ち込み前の多結晶シリコン層25のシート抵抗は数K $\Omega$ /□〜数M $\Omega$ /□であり、これを最終的に数十 $\Omega$ /□にする。なお、この場合、薄膜トランジスタ3およびC-MOS等の各ゲート電極14…に対応する多結晶シリコン層25と、薄膜発熱素子2の発熱抵抗層7に対応する多結晶シリコン層25とが、Pイオンの注入量が等しい場合には、1回の工程ですむが、もし仮

に、薄膜発熱素子2の多結晶シリコン層25へのPイオンの注入量が多い場合には、レジストマスクを施して薄膜発熱素子2の多結晶シリコン層25へのみPイオンを再度打ち込むか、あるいはそれぞれレジストマスクを形成して別工程として行なえばよい。

この後、多結晶シリコン層25の表面にフォトリソグラフィ法によりフォトリソレジスト膜をパターン形成し、このフォトリソレジスト膜をマスクとして、多結晶シリコン層25をエッチングし不要な部分を除去する。これにより、第3図(D)に示すように、薄膜発熱素子2、薄膜トランジスタ3、C-MOSの各形成領域にそれぞれPイオンがドーピングされた多結晶シリコンよりなる発熱抵抗層7、および各ゲート電極14…が形成される。

ところで、各発熱抵抗層7に関して重要な事項は、解像度を向上するために、所要の発熱部分のみを発熱させることにある。このため、この実施例では、第2図(A)および(B)に示す如く、

発熱形成部5の上面对応するA領域内をその領域外部分に比べて高抵抗とすることになっている。この方法として、第2図(A)では、各発熱抵抗層7のA領域内のPイオン濃度を、その領域外部分より小さくするか、または、A領域外部分にBイオンをドーピングする方法を示す。また、第2図(B)は、A領域内の各発熱抵抗層7にスリットSを形成し、領域外部分に対して導電路の幅を狭くする方法を示す。勿論、両方法を組み合わせた方法も採用できる。いずれにしても、各発熱抵抗層7の全抵抗値は例えば数十 $\Omega$ 〜数百 $\Omega$ に調節する。

次に、第3図(E)に示すように、p-MOSのゲート絶縁膜18をフォトリソレジスト膜26でマスクし、薄膜トランジスタ3およびC-MOSの各p型領域11、16内にゲート絶縁膜13を介してPイオンを打ち込み、2組のn型領域12、17を形成する。この2組のn型領域12、17はそれぞれソース、ドレインとなり、その各表面はゲート絶縁膜13を介してPイオンが打ち込ま

れるため荒れることがない。

そして、フォトリジスト膜26をエッチングして除去した後、第3図(F)に示すように、再び全面にフォトリソグラフィ法によりフォトリジスト膜27をパターン形成し、このフォトリジスト膜27をマスクとして、 $p$ -MOSのゲート絶縁膜18を介して $p$ -MOSの形成領域に対応するシリコン基板1内に $B$ イオンを打ち込み、2つの $p$ 型領域20を形成する。この2つの $p$ 型領域20もそれぞれソース、ドレインとなる。

この後、フォトリジスト膜27をエッチングして除去し、再びフォトリソグラフィ法によりフォトリジスト膜をパターン形成し、このフォトリジスト膜をマスクとして薄膜トランジスタ3とC-MOSの各 $n$ 型領域12、17および $p$ 型領域20と対応する部分のゲート絶縁膜13、18をエッチングして除去する。そして、常圧のCVD法により全面にPSGよりなる絶縁保護膜を被着し、この絶縁保護膜の表面にフォトリソグラフィ法によりフォトリジスト膜をパターン形成し、こ

スタ3の一方の配線パターン15は薄膜発熱素子2の発熱抵抗層7の一端(右端)にも導通して接続される。また、アースラインの配線パターン9は発熱抵抗層7の他端(左端)に導通して接続される。

この後、第3図(I)に示すように、その全面に保護膜10をスパッタリングや蒸着等により形成する。この保護膜10は前述したように耐酸化性および耐摩耗性を有するもので、例えば $SiO_2$ と $SiN$ の2層構造のものか、あるいは $SiON$ の単一の層等であり、CVD法により形成してもよい。また、この保護層9は薄膜発熱素子2の部分が他の部分よりも高く形成される。

そして、この保護膜10の表面にフォトリソグラフィ法によりフォトリジスト膜をパターン形成し、このフォトリジスト膜をマスクとして保護膜10をエッチングし、第3図(J)に示すように、不要な部分つまりパンプ部4と対応する部分を除去する。この後、フォトリジスト膜を除去して、エッチングされた保護膜10の全面にTi-W合

のフォトリジスト膜をマスクとして絶縁保護膜をエッチングし、第3図(G)に示すように、不要な部分つまり薄膜発熱素子2、各 $n$ 型領域12、17および $p$ 型領域20と対応する部分を除去する。これにより、薄膜トランジスタ3、C-MOSの各ゲート電極14…、および絶縁層7がPSGよりなる絶縁保護膜8により被覆される。

次に、その全面にAl、Al-Si、Mo、W等の低抵抗金属膜をスパッタリングまたは蒸着等により形成し、その表面にフォトリソグラフィ法によりフォトリジスト膜をパターン形成し、このフォトリジスト膜をマスクとして金属膜をエッチングして不要な部分を除去し、第3図(H)に示すように、薄膜トランジスタ3およびC-MOSの各 $n$ 型領域12、17と対応する部分、 $p$ -MOSの $p$ 型領域20と対応する部分、およびパンプ部4と対応する部分に、配線パターン9、15、19、21を形成する。この各配線パターン15、19はそれぞれ $n$ 型領域12、17および $p$ 型領域20と導通状態となる。この場合、薄膜トランジ

スタ3の一方の配線パターン15は薄膜発熱素子2の発熱抵抗層7の一端(右端)にも導通して接続される。また、アースラインの配線パターン9は発熱抵抗層7の他端(左端)に導通して接続される。

最後に、ダイシングする部分をエッチングして除去し、上述したレジスト28および金属層22を順次エッチングして除去し、シリコン基板1を所定の箇所ダイシングして個々に切り離すと、この発明のサーマルヘッドが得られる。

したがって、上述したようなサーマルヘッドによれば、1つのシリコン基板1に多数の薄膜発熱素子2…、薄膜トランジスタ3…、およびシフトレジスタ回路、ラッチ回路、ゲート回路等を構成するC-MOSを総て一体に形成したので、接続箇所が例えば4個程度と少なく、その接続作業が簡単で生産性が良く、しかも装置全体の小型化をも図ることができる。特に、多結晶シリコンより

なる薄膜発熱素子2…を駆動する薄膜トランジスタ3…は薄膜発熱素子2…が配列形成されるn型のシリコン基板1にBイオンのp型不純物をドーピングしてp型領域11を形成し、このp型領域11内にPイオンのn型不純物をドーピングしてn型領域12を形成し、その上に配線パターン15およびゲート絶縁膜13を介してゲート電極14を形成したので、単結晶のシリコン基板1内に薄膜トランジスタ3…の各チャンネルを形成することができ、これにより薄膜トランジスタ3…の電気の移動度が極めて良い。そのため、ゲートの幅および長さを小さくすることができ、ファインピッチを図ることができる。その結果、高密度印字に最適で、解像度の高い鮮明な感熱記録を行なうことができる。

また、このようなサーマルヘッドによれば、シリコン基板1上に絶縁膜6およびゲート絶縁膜13、18を形成し、絶縁膜6上に多結晶シリコンよりなる発熱抵抗層7を形成するとともに、ゲート絶縁膜13、18上に多結晶シリコンより

なるゲート電極14を形成した後、配線パターン15、19を形成し、これらの表面を保護膜10で被覆するようにしたので、ゲートの幅および長さを小さくしてファインピッチ化を図っても、各素子を精度良く形成することができるとともに、薄膜トランジスタ3…以外にC-MOSを形成しても、その製造工程が複雑にならないため、生産性が極めて良い。

なお、上述した実施例ではn型領域12、17およびp型領域20をイオンの打ち込みにより形成したが、これに限らず、熱拡散法で形成してもよい。すなわち、n型領域を熱拡散法により形成する場合には、ゲート絶縁膜13、18をエッチングして除去し、Pイオンをp型領域16内に拡散する。そのため、薄膜発熱素子2の発熱抵抗層7には別工程でPイオンを打ち込めばよい。

また、上述した実施例ではn型領域12、17を形成してからp型領域20を形成したが、これに限らず、p型領域20を形成してからn型領域12、17を形成してもよい。また、多結晶シリ

コン層25はn型領域12、17およびp型領域20を形成した後に生成するようにしてもよい。

#### 【発明の効果】

以上詳細に説明したように、この発明によれば、多結晶シリコンよりなる多数の薄膜抵抗素子が配列形成される単結晶半導体基板に不純物をドーピングして前記各薄膜抵抗素子を駆動する薄膜トランジスタを形成したので、薄膜トランジスタの電気の移動度が良く、ゲートの幅および長さをできる限り小さくでき、ファインピッチが可能となり、高密度印字を行なうことができる。しかも、このようなサーマルヘッドは、半導体基板上に絶縁層およびゲート絶縁層を形成し、この絶縁層およびゲート絶縁層上に多結晶シリコンを生成してエッチングにより薄膜抵抗素子とゲート電極とを形成し、この後、少なくとも前記薄膜抵抗素子に不純物をドーピングしてその薄膜抵抗素子のイオン濃度を高めて抵抗値を減少させ、かつ半導体基板に

不純物をドーピングし、しかる後低抵抗金属を被覆することにより所定の配線パターンを形成するので、ゲートの幅および長さを小さくしてファインピッチ化を図っても、工程数が煩雑にならず、生産性が極めて良い。

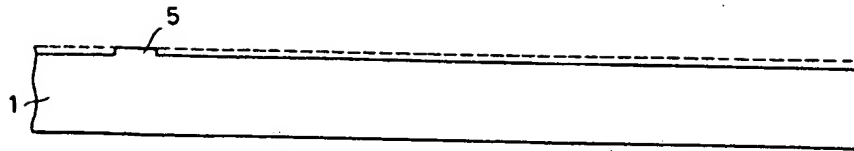
#### 4. 図面の簡単な説明

第1図～第3図はこの発明の一実施例を示し、第1図はサーマルヘッドの要部拡大断面図、第2図(A)(B)は薄膜発熱素子の発熱抵抗層の異なるエッチング状態を示す要部平面図、第3図(A)～(J)はサーマルヘッドの製造工程における各拡大断面図である。

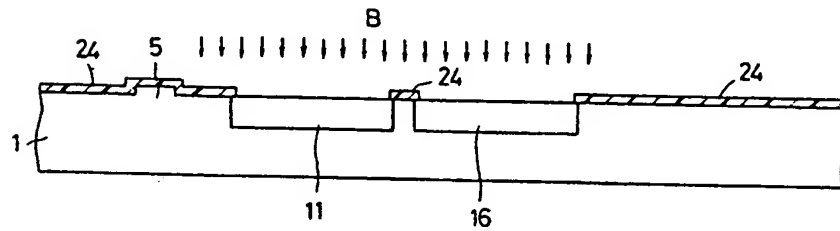
1…シリコン基板、2…薄膜発熱素子、3…薄膜トランジスタ、6…絶縁膜、7…発熱抵抗層、10…保護膜、11、16、20…p型領域、12、17…n型領域、13、18…ゲート絶縁膜、14…ゲート電極、9、15、19、21…配線パターン。



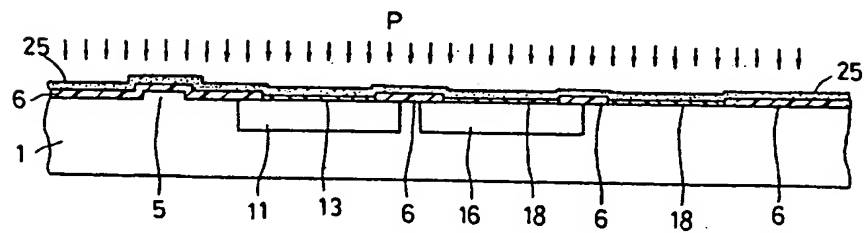




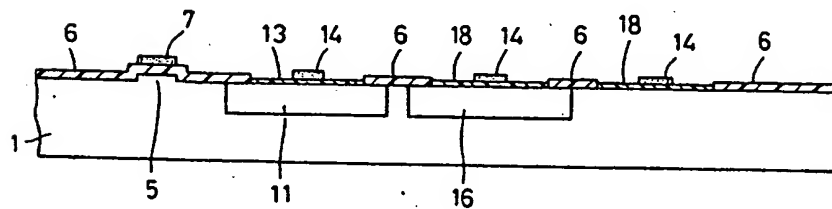
第 3 図 (A)



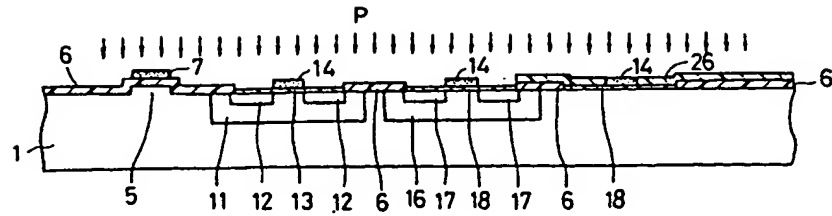
第 3 図 (B)



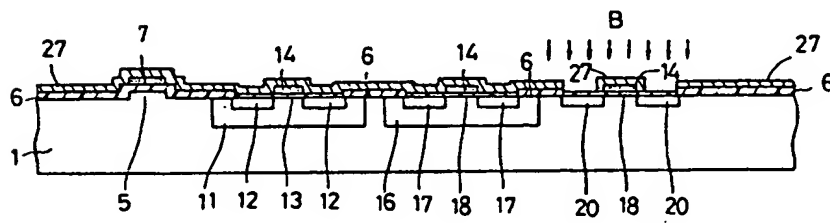
第 3 図 (C)



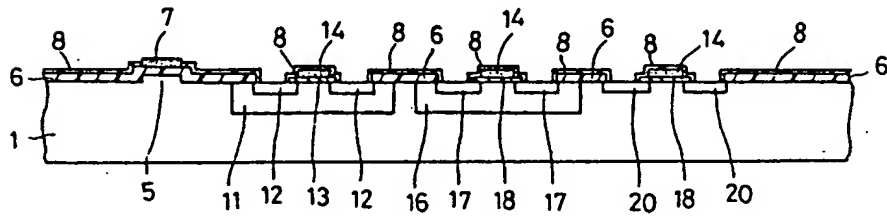
第 3 図 (D)



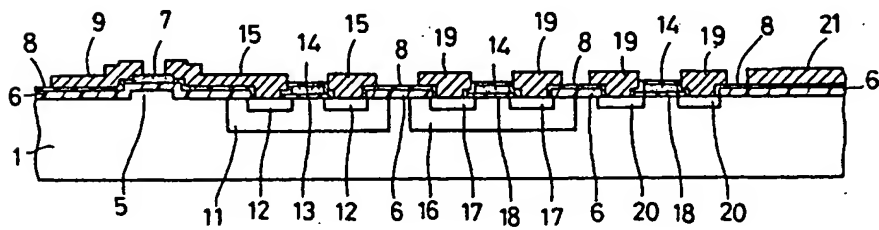
第 3 図 (E)



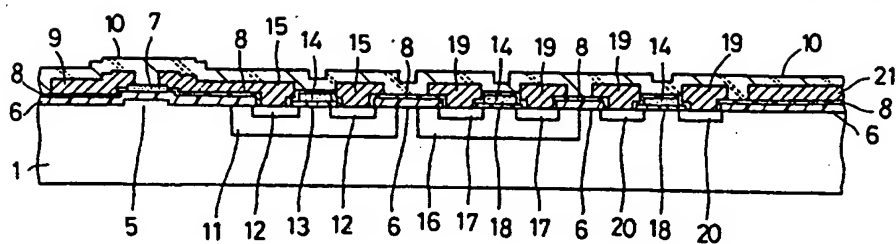
第 3 図 (F)



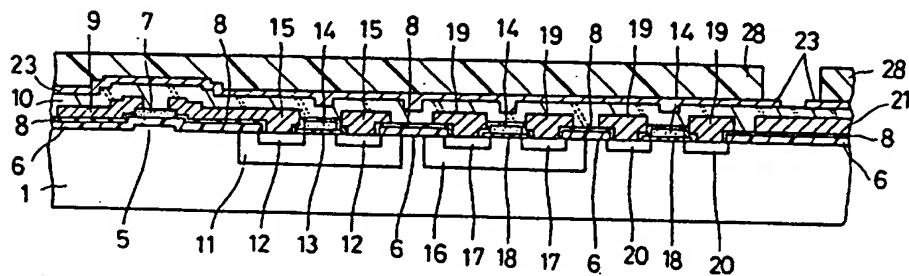
第 3 図 (G)



第 3 図 (H)



第 3 図 (I)



第 3 図 (J)